

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-058239

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H02M 3/155

(21)Application number : 2000-242003

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 10.08.2000

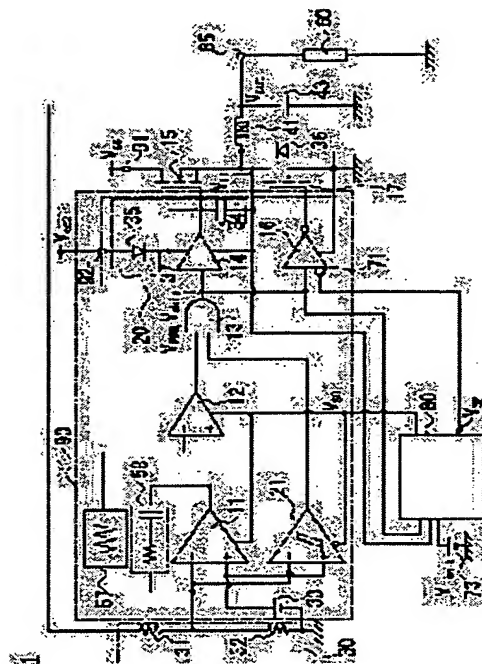
(72)Inventor : OCHI TAIZO

(54) DRIVE SIGNAL SUPPLY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switching regulator which operates stably.

SOLUTION: This switching regulator 1 has an autoskip circuit 80, and the autoskip circuit detects whether it is of light load or of heavy load, and at heavy load, this operates in PWM mode, and at light load, this operates in skip mode until the switching frequency of the main output transistor 15 goes lower, and besides even if it turns from heavy load state to light load state, this does not shift to the skip mode until the state of light load continues for a certain period. Therefore, even if the state of heavy load and the state of light load switch quickly, the PWM mode and the skip mode do not switch frequently, according to it, and after it becomes stable in light load state, the mode switches to the skip mode, so there never occurs such a matter that the operation becomes unstable due to the frequency switching of the control mode, and this switching regulator operates stably.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-58239

(P2002-58239A)

(43)公開日 平成14年2月22日(2002.2.22)

(51)Int.Cl.⁷

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テーマコード(参考)

H 5 H 7 3 0

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願2000-242003(P2000-242003)

(22)出願日 平成12年8月10日(2000.8.10)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72)発明者 越智 泰造

大分県速見郡日出町大字川崎字高尾4260
日本テキサス・インスツルメンツ株式会社
内

(74)代理人 100102875

弁理士 石島 茂男 (外1名)

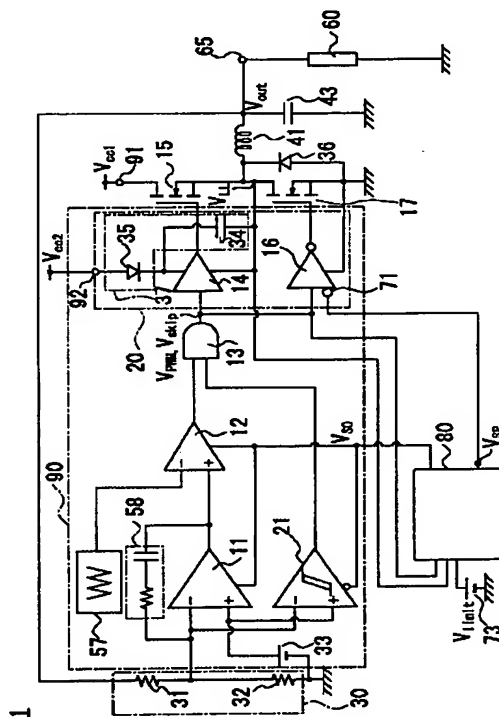
Fターム(参考) 5H730 AA14 AS01 AS05 AS23 BB13
BB57 DD04 EE13 EE59 FD01
FF02 FF05 FF08 FG05 FG22
FV02 FV09

(54)【発明の名称】 駆動信号供給回路

(57)【要約】

【課題】安定して動作するスイッチングレギュレータを提供する。

【解決手段】本発明のスイッチングレギュレータ1は、オートスキップ回路80を有しており、オートスキップ回路80が軽負荷か重負荷かを検出し、重負荷時にはPWMモードで動作し、軽負荷時には主出力トランジスタ15のスイッチング周波数が低くなるスキップモードで動作し、かつ、重負荷の状態から軽負荷の状態になっても、軽負荷になった状態が所定期間継続するまでは、スキップモードに移行しないように構成されている。このため、重負荷の状態と軽負荷の状態とが急速に切り替わっても、それに応じてPWMモードとスキップモードとが頻繁に切り替わらず、軽負荷の状態で安定した後スキップモードに切り替わるので、制御モードが頻繁に切り替わることで、動作が不安定になることはなく、安定に動作する。



【特許請求の範囲】

【請求項1】 電源供給端子と第1のノードとの間に接続された主スイッチングトランジスタと、上記第1のノードと基準電圧端子との間に接続された副スイッチングトランジスタと、一端が上記第1のノードに接続されたコイルと、上記コイルの他端と基準電圧端子との間に接続された平滑コンデンサと、上記第1のノードと基準電圧端子との間に接続されたフライホイールダイオードとを有するスイッチングレギュレータの主スイッチングトランジスタと副スイッチングトランジスタとに駆動信号を供給する駆動信号供給回路であって、スイッチングレギュレータの出力電圧に応じた検出電圧と基準電圧とを比較してPWM信号を生成するPWM信号生成回路と、上記検出電圧と基準電圧とを比較して上記PWM信号よりも周波数の低いスキップ信号を生成するスキップ信号生成回路と、上記PWM信号又は上記スキップ信号に応じて駆動信号を生成して上記主スイッチングトランジスタ及び副スイッチングトランジスタに供給する駆動回路と、上記副スイッチングトランジスタに流れる電流に応じてスイッチングレギュレータの負荷状態を周期的に検出し、軽負荷のときには上記スキップ信号生成回路を動作状態としてスキップモードとし、重負荷のときには上記PWM信号生成回路を動作状態としてPWMモードとする状態選択回路と、を有し、上記状態選択回路は上記軽負荷の状態が所定期間連続して検出された場合にPWMモードをスキップモードに変更する駆動信号供給回路。

【請求項2】 上記状態選択回路が上記第1のノードの電圧と基準電圧とを比較して負荷状態を検出するヒステリシス比較器と上記ヒステリシス比較器の出力信号に応じて上記所定時間を計測するシフトレジスタとを有する請求項1に記載の駆動信号供給回路。

【請求項3】 上記状態選択回路が上記第1のノードの電圧と基準電圧とを比較して負荷状態を検出するヒステリシス比較器と上記ヒステリシス比較器の出力信号に応じて上記所定期間を計測するカウンタとを有する請求項1に記載の駆動信号供給回路。

【請求項4】 上記PWM信号生成回路が上記検出電圧と基準電圧とを比較する第1の比較器と上記第1の比較器の出力信号と三角波信号又は鋸波信号とを比較してPWM信号を生成する第2の比較器とを有し、上記スキップ信号生成回路が上記検出電圧と基準電圧とを比較してスキップ信号を生成する第2のヒステリシス比較器を有する請求項1、2又は3に記載の駆動信号供給回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はスイッチングレギュレータに関し、特に、PWM(Pulse Width Modulation)

制御のスイッチングレギュレータを制御するための駆動信号供給回路に関する。

【0002】

【従来の技術】 一般に、安定な直流電圧を負荷に供給する装置として、スイッチングレギュレータが多く用いられている。

【0003】 従来のスイッチングレギュレータの一例を図4の符号101に示す。このスイッチングレギュレータ101は、主トランジスタ115と、補助トランジスタ117と、チョークコイル141と、フライホイールダイオード136と、平滑コンデンサ143と、後述する制御部190とを有している。

【0004】 主トランジスタ115及び補助トランジスタ117は、ともにnチャネルMOSトランジスタで構成されており、主トランジスタ115のドレイン端子は電源電圧端子191に接続されている。補助トランジスタ117のドレイン端子は、主トランジスタ115のソース端子に接続されており、補助トランジスタ117のソース端子は接地されている。

【0005】 チョークコイル141の一端は主トランジスタ115のソース端子に接続され、他端は平滑コンデンサ143の一端に接続されるとともに、負荷端子165を介して、一端が接地された負荷160の他端に接続されている。平滑コンデンサ143の他端は接地されている。フライホイールダイオード136のカソード端子は主トランジスタ115のソース端子に接続されており、アノード端子は接地されている。

【0006】 主トランジスタ115及び補助トランジスタ117は、そのゲート端子が後述する制御部190の出力端子に接続され、制御部190の出力信号に応じて導通／遮断するように構成されている。

【0007】 上述のスイッチングレギュレータ101において、電源電圧 V_{cc1} (30V)が電源電圧端子191に印加され、主トランジスタ115が導通した状態にあり、補助トランジスタ117が遮断した状態では、主トランジスタ115を介して電源電圧端子191がチョークコイル141に電気的に接続される。主トランジスタ115が導通状態にある間は、電源電圧端子191からチョークコイル141にエネルギーが供給されて蓄えられ、平滑コンデンサ143が充電される。

【0008】 この状態から、主トランジスタ115が遮断状態に切り替わるとともに、補助トランジスタ117が導通状態に切り替わると、チョークコイル141の両端子間に起電力が生じ、補助トランジスタ117のソース端子の電位がドレイン端子の電位よりも高くなり、補助トランジスタ117のソースからドレインに向けて電流が流れる。この電流により、チョークコイル141のエネルギーが負荷160に供給される。このとき平滑コンデンサ143は放電される。

【0009】 このようにして、主トランジスタ115及

び補助トランジスタ117が導通／遮断を繰り返し、平滑コンデンサ143が充放電を繰り返すことにより、結果として負荷端子165の電位は平滑コンデンサ143により平滑化される。平滑化された電圧は出力電圧 V_{out} として、負荷端子165から負荷160に印加される。

【0010】この出力電圧 V_{out} は、負荷160に印加されるとともに、電圧検出回路130に印加される。電圧検出回路130は、直列接続された抵抗131、132により構成されており、出力電圧 V_{out} は、抵抗131、132の抵抗比で所定電圧に分圧された後、制御部190に出力される。

【0011】制御部190は、誤差アンプ111と、コンパレータ112と、ヒステリシスコンパレータ121とを有しており、制御部190に入力された出力電圧 V_{out} の分圧電圧は、誤差アンプ111の一方の端子と、ヒステリシスコンパレータ121の反転入力端子との両方に入力される。

【0012】誤差アンプ111、コンパレータ112及びヒステリシスコンパレータ121には、オートスキップ回路180が接続されている。このオートスキップ回路180は、補助トランジスタ117が導通したときの補助トランジスタ117のソース・ドレイン間の電圧 V_{LL} を検出し、この電圧 V_{LL} を所定電圧と比較することで二値信号である制御信号 V_{S0} を出力する。この電圧 V_{LL} は、負荷160の軽重に対応しており、制御信号 V_{S0} は、軽負荷と重負荷とにそれぞれ対応した二値の信号である。

【0013】オートスキップ回路180は、重負荷の状態ではPWMモードを選択し、軽負荷の状態ではスキップモードを選択して、誤差アンプ111、コンパレータ112及びヒステリシスコンパレータ121にそれぞれ対応する制御信号 V_{S0} を出力する。その結果、PWMモードでは、誤差アンプ111及びコンパレータ112が動作状態になるとともに、ヒステリシスコンパレータ121が非動作状態になり、他方、スキップモードでは、誤差アンプ111及びコンパレータ112が非動作状態になるとともに、ヒステリシスコンパレータ121が動作状態になる。

【0014】ここでは、PWMモードが選択され、誤差アンプ111及びコンパレータ112が動作しているものとする。上述したように、誤差アンプ111の一方の端子には、出力電圧 V_{out} の分圧電圧が入力され、他方の端子には、基準電圧生成源133から基準電圧 V_{ref} が入力されており、誤差アンプ111からは、基準電圧 V_{ref} と、出力電圧 V_{out} の分圧電圧との誤差が増幅されて出力される。

【0015】誤差アンプ111の出力電圧は、コンパレータ112の非反転入力端子に入力される。他方、コンパレータ112の反転入力端子には、三角波生成回路1

57から所定周波数の三角波が入力されており、コンパレータ112で三角波と、誤差アンプ111の出力電圧とが比較される。その結果、コンパレータ112は出力電圧 V_{out} が所定電圧よりも高いときには主トランジスタ115の導通時間を減少させ、所定電圧よりも低いときにはその導通時間を増加させるパルス信号であって、一定周波数のPWM信号 V_{PWM} を生成して、論理回路113に出力する。

【0016】論理回路113には、コンパレータ112の出力信号と、ヒステリシスコンパレータ121の出力信号とが入力されており、コンパレータ112又はヒステリシスコンパレータ121のうち、動作状態にある側の出力信号をドライバ120に出力する。PWMモードではコンパレータ112が動作状態にあるため、論理回路113はコンパレータ112から出力されたPWM信号 V_{PWM} をそのままドライバ120に出力する。

【0017】ドライバ120は、内部電源電圧端子192から供給される内部電源電圧 $V_{cc2}(5V)$ によって動作する。このドライバ120はハイ側バッファ114と、ロー側バッファ116とを有しており、論理回路113から出力されたPWM信号 V_{PWM} は、ハイ側バッファ114及びロー側バッファ116へと入力される。

【0018】ハイ側バッファ114の出力端子とロー側バッファ116の出力端子は、主出力トランジスタ115のゲート端子と補助トランジスタ117のゲート端子にそれぞれ接続されており、主トランジスタ115、補助トランジスタ117は、それぞれハイ側バッファ114、ロー側バッファ116の出力信号に応じて導通／遮断する。ハイ側バッファ114の出力信号とロー側バッファ116の出力信号とは互いに反転するように構成されており、その結果、主トランジスタ115が導通状態のときは補助トランジスタ117は遮断状態になり、逆に主トランジスタ115が遮断状態のときは補助トランジスタ117は導通状態になる。

【0019】主トランジスタ115は、上述したPWM信号 V_{PWM} に応じて導通／遮断するので、出力電圧 V_{out} が所定電圧よりも高いときには主トランジスタ115の導通時間及び補助トランジスタ117の遮断時間が減少して出力電圧 V_{out} が低下し、他方、出力電圧 V_{out} が所定電圧よりも低いときには主トランジスタ115の導通時間及び補助トランジスタ117の遮断時間が増加して出力電圧 V_{out} が上昇することにより、出力電圧 V_{out} は一定値を保つ。

【0020】このようなPWMモードの状態から、負荷160が軽負荷の状態になると、オートスキップ回路180がその状態を検出して、スキップモードに対応した制御信号 V_{S0} を出力する。その結果、誤差アンプ111及びコンパレータ112が非動作状態になるとともに、ヒステリシスコンパレータ121が動作状態になる。

【0021】電圧検出回路130から出力された出力電

圧 V_{out} の分圧電圧は、上述したようにヒステリシスコンパレータ121の反転入力端子にも入力される。他方、ヒステリシスコンパレータ121の非反転入力端子には、基準電圧生成源133から基準電圧 V_{ref} が入力されており、ヒステリシスコンパレータ121で出力電圧 V_{out} の分圧電圧と、基準電圧 V_{ref} とが比較される。その結果、ヒステリシスコンパレータ121は、出力電圧 V_{out} の分圧電圧が基準電圧 V_{ref} よりも高いときには主トランジスタ115を非導通とするスキップ信号 V_{skip} を生成し、上記分圧電圧が基準電圧 V_{ref} よりも低いときには主トランジスタ115を導通とするスキップ信号 V_{skip} を生成して、論理回路113に出力する。

【0022】スキップモードでは、コンパレータ112は非動作状態にあるため、論理回路113はヒステリシスコンパレータ121から出力されたスキップ信号 V_{skip} をそのままドライバ120に出力する。

【0023】ドライバ120は、PWMモードと同様に、スキップ信号 V_{skip} に応じて出力トランジスタ115、117を導通／遮断させる。その結果、出力電圧 V_{out} はほぼ一定値を保つ。

【0024】上述したスキップモードでは、ヒステリシスコンパレータ121を用いてスキップ信号 V_{skip} を生成し、そのスキップ信号 V_{skip} で主トランジスタ115を導通／遮断させているので、出力電圧 V_{out} が所定の電圧以下に降下しない限り、主トランジスタ115を導通状態とするパルス信号が出力されないため、PWMモードに比してそのスイッチング周波数が小さくなる。

【0025】このように、軽負荷時には、スイッチング周波数が小さいスキップモードで動作させることにより、上述したスイッチングレギュレータ101は、軽負荷時の消費電力はPWMモードに比して少なく、高効率になっている。このように、軽負荷時にスキップモードで動作させ、軽負荷時の電力効率を高めることにより、上述したスイッチングレギュレータ101は高効率になっている。

【0026】しかしながら、上記従来のスイッチングレギュレータ101では、出力電圧 V_{out} が不安定な場合や、瞬間的に負荷160に流れる電流が変動した場合にも、その制御モードがすぐに切り換わってしまう。このような場合には、PWMモードとスキップモードが短時間で交互に切り替わり、スイッチングレギュレータ101の動作もこれに応じて急速に切り替わる。このため、スイッチングレギュレータ101の制御系全体が不安定になってしまい、ひどい場合にはスイッチングレギュレータ101が発振してしまうという問題が生じていた。

【0027】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、安定な動作でかつ高効率なスイッチングレギュレータを提供することにある。

【0028】

【課題を解決するための手段】上記課題を解決するために、本発明の請求項1に記載の駆動信号供給回路は、電源供給端子と第1のノードとの間に接続された主スイッチングトランジスタと、上記第1のノードと基準電圧端子との間に接続された副スイッチングトランジスタと、一端が上記第1のノードに接続されたコイルと、上記コイルの他端と基準電圧端子との間に接続された平滑コンデンサと、上記第1のノードと基準電圧端子との間に接続されたフライホイールダイオードとを有するスイッチングレギュレータの主スイッチングトランジスタと副スイッチングトランジスタとに駆動信号を供給する駆動信号供給回路であって、スイッチングレギュレータの出力電圧に応じた検出電圧と基準電圧とを比較してPWM信号を生成するPWM信号生成回路と、上記検出電圧と基準電圧とを比較して上記PWM信号よりも周波数の低いスキップ信号を生成するスキップ信号生成回路と、上記PWM信号又は上記スキップ信号に応じて駆動信号を生成して上記主スイッチングトランジスタ及び副スイッチングトランジスタに供給する駆動回路と、上記副スイッチングトランジスタに流れる電流に応じてスイッチングレギュレータの負荷状態を周期的に検出し、軽負荷のときには上記スキップ信号生成回路を動作状態としてスキップモードとし、重負荷のときには上記PWM信号生成回路を動作状態としてPWMモードとする状態選択回路とを有し、上記状態選択回路は上記軽負荷の状態が所定期間連続して検出された場合にPWMモードをスキップモードに変更する。請求項2に記載の駆動信号供給回路は、請求項1に記載の駆動信号供給回路であって、上記状態選択回路が上記第1のノードの電圧と基準電圧とを比較して負荷状態を検出するヒステリシス比較器と上記ヒステリシス比較器の出力信号に応じて上記所定時間を計測するシフトレジスタとを有する。請求項3に記載の駆動信号供給回路は、請求項1に記載の駆動信号供給回路であって、上記状態選択回路が上記第1のノードの電圧と基準電圧とを比較して負荷状態を検出するヒステリシス比較器と上記ヒステリシス比較器の出力信号に応じて上記所定時間を計測するカウンタとを有する。請求項4に記載の駆動信号供給回路は、請求項1、2又は3に記載の駆動信号供給回路であって、上記PWM信号生成回路が上記検出電圧と基準電圧とを比較する第1の比較器と上記第1の比較器の出力信号と三角波信号又は鋸歯信号とを比較してPWM信号を生成する第2の比較器とを有し、上記スキップ信号生成回路が上記検出電圧と基準電圧とを比較してスキップ信号を生成する第2のヒステリシス比較器を有する。

【0029】本発明のスイッチングレギュレータの駆動信号供給回路によれば、副スイッチングトランジスタに流れる回生電流が基準値よりも小さくなり、負荷が重負荷の状態から軽負荷の状態に移行しても、すぐには軽負

荷時に動作すべきスキップ信号生成回路を動作させずに、回生電流が基準値以上の期間が所定期間維持された後に、スキップ信号生成回路を動作させる。

【0030】このため、出力電圧 V_{out} が不安定な場合や、瞬間的に負荷に流れる電流が変動することなどにより、軽負荷、重負荷の状態が短時間で交互に切り替わるような場合でも、軽負荷の状態が所定期間維持されて安定するまでは、スキップ信号生成回路が動作しないので、スキップ信号生成回路の動作とPWM信号生成回路の動作とが頻繁に切り替わることはなく、このため、従来生じていた、動作が頻繁に切り替わることで、スイッチングレギュレータの制御系全体が不安定になってしまい、発振してしまうという問題も生じなくなり、安定に動作することができる。

【0031】なお、本発明において、状態選択回路は、ヒステリシス比較器を有しており、ヒステリシス比較器で副スイッチングトランジスタの両端の電圧と所定値の基準電圧とを比較して、両端の電圧の絶対値が基準電圧の絶対値以下の期間に、検出信号を出力する。

【0032】上記両端の電圧は、副スイッチングトランジスタに流れる電流に対応して増減する電圧であって、両端の電圧の絶対値が基準電圧の絶対値以下の期間は、回生電流が基準値よりも小さい期間に相当している。

【0033】本発明の状態選択回路は、更にシフトレジスタ又はカウンタを有しており、ヒステリシス比較器の検出信号が出力されている期間に、シフトレジスタ又はカウンタでPWM信号のパルスの個数を計数し、その計数されたパルスの個数が所定値以上になった後に、スキップ信号生成回路を動作させているので、回生電流が、基準値よりも小さい期間が所定期間維持されるまでは、スキップ信号生成回路は動作しないことになる。従って、スキップ信号生成回路の動作とPWM信号生成回路の動作とが頻繁に切り替わることはなく、安定に動作する。

【0034】

【発明の実施の形態】以下で図面を参照し、本発明の実施形態について説明する。本実施形態のスイッチングレギュレータの一例を図1の符号1に示す。このスイッチングレギュレータ1は、主トランジスタ15と、補助トランジスタ17と、チョークコイル41と、フライホイールダイオード36と、平滑コンデンサ43と、後述する制御部90とを有している。

【0035】主トランジスタ15及び補助トランジスタ17は、ともにnチャネルMOSトランジスタで構成されており、主トランジスタ15のドレイン端子は電源電圧端子91に接続されている。補助トランジスタ17のドレイン端子は、主トランジスタ15のソース端子に接続されており、補助トランジスタ17のソース端子は接地されている。

【0036】チョークコイル41の一端は主トランジ

スタ15のソース端子に接続され、他端は平滑コンデンサ43の一端に接続されるとともに、負荷端子65を介して、一端が接地された負荷60の他端に接続されている。平滑コンデンサ43の他端は接地されている。フライホイールダイオード36のカソード端子は主トランジスタ15のソース端子に接続されており、アノード端子は接地されている。

【0037】主トランジスタ15及び補助トランジスタ17は、それぞれのゲート端子が後述する制御部90の出力端子に接続され、制御部90の出力信号に応じて導通/遮断するように構成されている。

【0038】上述のスイッチングレギュレータ1において、電源電圧 V_{cc1} (30V)が電源電圧端子91に印加され、主トランジスタ15が導通した状態にあり、補助トランジスタ17が遮断した状態では、主トランジスタ15を介して電源電圧端子91がチョークコイル41に電氣的に接続される。主トランジスタ15が導通状態にある間は、電源電圧端子91からチョークコイル41にエネルギーが供給されて蓄えられ、平滑コンデンサ43が充電される。

【0039】この状態から、主トランジスタ15が遮断状態に切り替わるとともに、補助トランジスタ17が導通状態に切り替わると、チョークコイル41の両端子間に起電力が生じ、補助トランジスタ17のソース端子の電位がドレイン端子の電位よりも高くなり、補助トランジスタ17内ではソースからドレインに向けて電流が流れる。この電流により、チョークコイル41のエネルギーが負荷60に供給される。このとき平滑コンデンサ43は放電される。

【0040】このようにして、主トランジスタ15及び補助トランジスタ17が導通/遮断を繰り返し、平滑コンデンサ43が充放電を繰り返すことにより、結果として負荷端子65の電位は平滑コンデンサ43により平滑化される。平滑化された電圧は出力電圧 V_{out} として、負荷端子65から負荷60に印加される。

【0041】この出力電圧 V_{out} は、負荷60に印加されるとともに、電圧検出回路30に印加される。電圧検出回路30は、直列接続された抵抗31、32により構成されており、出力電圧 V_{out} は、抵抗31、32の抵抗比で所定電圧に分圧された後、制御部90に出力される。

【0042】制御部90は、誤差アンプ11と、コンパレータ12と、ヒステリシスコンパレータ21とを有している。誤差アンプ11とコンパレータ12とは、本発明のPWM信号生成回路の一例を構成しており、また、ヒステリシスコンパレータ21は、スキップ信号生成回路の一例を構成している。かかる制御部90に入力された出力電圧 V_{out} の分圧電圧は、誤差アンプ11の一方の端子と、ヒステリシスコンパレータ21の反転入力端子との両方に入力される。

【0043】誤差アンプ11、コンパレータ12及びヒステリシスコンパレータ21には、本発明の状態選択回路の一例であるオートスキップ回路80が接続されている。このオートスキップ回路80は、補助トランジスタ17に流れる電流に対応する補助トランジスタ17のソースドレイン間の電圧(以下で検出電圧と称する。) V_{LL} を検出し、この検出電圧 V_{LL} を所定電圧と比較して、二値の制御信号 V_{S0} を出力する。検出電圧 V_{LL} は負荷60の軽重に対応しており、オートスキップ回路80は、検出電圧 V_{LL} が所定電圧よりも低いとき、すなわち重負荷のときには後述するPWMモードに対応する制御信号 V_{S0} を出力し、検出電圧 V_{LL} が所定電圧よりも高いとき、すなわち軽負荷のときには後述するスキップモードに対応する制御信号 V_{S0} を出力する。

【0044】オートスキップ回路80は、かかる二値の制御信号 V_{S0} を誤差アンプ11、コンパレータ12及びヒステリシスコンパレータ21に出力する。ここでは、PWMモードに対応する制御信号 V_{S0} が出力されているものとする。

【0045】オートスキップ回路80は、図2に示すように、スキップコンパレータ81と、動作状態制御回路82とを有している。スキップコンパレータ81は、ヒステリシスコンパレータで構成されている。スキップコンパレータ81には、検出電圧 V_{LL} と基準電圧 V_{limit} とが入力されており、検出電圧 V_{LL} が基準電圧 V_{limit} よりも低いときにはPWMモードを示す比較検出信号を出力し、検出電圧 V_{LL} が基準電圧 V_{limit} よりも高いときにはスキップモードを示す比較検出信号を出力する。この比較検出信号は動作状態制御回路82に入力され、動作状態制御回路82によりPWMモードとスキップモードとを制御する制御信号 V_{S0} が誤差アンプ11、コンパレータ12及びヒステリシスコンパレータ21に出力される。

【0046】上述したように、誤差アンプ11の一方の端子には、出力電圧 V_{out} の分圧電圧が入力され、他方の端子には、基準電圧生成源33から基準電圧 V_{ref} が入力されており、PWMモードにおいては、誤差アンプ11からは、基準電圧 V_{ref} と、出力電圧 V_{out} の分圧電圧との誤差が増幅されて出力される。

【0047】誤差アンプ11の出力電圧は、コンパレータ12の非反転入力端子に入力される。他方、コンパレータ12の反転入力端子には、三角波生成回路57から所定周波数の三角波が入力されており、コンパレータ12で三角波と、誤差アンプ11の出力電圧とが比較される。その結果、コンパレータ12は出力電圧 V_{out} が所定電圧よりも高いときには主トランジスタ15の導通時間を減少させ、所定電圧よりも低いときにはその導通時間を増加させるパルス信号であって、一定周波数のPWM信号 V_{PWM} を生成して、論理回路13に出力する。

【0048】論理回路13には、コンパレータ12の出

力信号と、ヒステリシスコンパレータ21の出力信号とが入力されており、コンパレータ12又はヒステリシスコンパレータ21のうち、動作状態にある側の出力信号をドライバ20に出力する。PWMモードではコンパレータ12が動作状態にあるため、論理回路13はコンパレータ12から出力されたPWM信号 V_{PWM} をそのままドライバ20に出力する。

【0049】ドライバ20は、内部電源電圧端子92から供給される内部電源電圧 V_{cc2} (5V)によって動作する。このドライバ20はハイ側バッファ14と、ロー側バッファ16とを有しており、論理回路13から出力されたPWM信号 V_{PWM} は、ハイ側バッファ14及びロー側バッファ16へと入力される。

【0050】ハイ側バッファ14の出力端子は、主トランジスタ15のゲート端子に接続されている。ハイ側バッファ14には、コンデンサ34とダイオード35とからなるチャージポンプ回路37が設けられており、主トランジスタ15のゲート端子に、内部電源電圧 V_{cc2} よりも高電圧の電圧を印加できるように構成されているので、ハイ側バッファ14の出力信号により、主トランジスタ15を導通/遮断させることができる。同様に、ロー側バッファ16の出力端子は補助トランジスタ17のゲート端子に接続されており、ロー側バッファ16の出力信号で補助トランジスタ17を導通/遮断させることができる。

【0051】ハイ側バッファ14の出力信号とロー側バッファ16の出力信号とは互いに反転するように構成されており、ハイ側バッファ14には、PWM信号 V_{PWM} が入力されているので、主トランジスタ15はPWM信号 V_{PWM} に応じてスイッチングし、補助トランジスタ17はPWM信号 V_{PWM} の反転信号に応じてスイッチングする。

【0052】その結果、出力電圧 V_{out} が所定電圧よりも高いときには主トランジスタ15の導通時間及び補助トランジスタ17の遮断時間が減少して出力電圧 V_{out} が低下し、他方、出力電圧 V_{out} が所定電圧よりも低いときには主トランジスタ15の導通時間及び補助トランジスタ17の遮断時間が増加して出力電圧 V_{out} が上昇することにより、出力電圧 V_{out} は一定値を保つ。

【0053】このようなPWMモードの状態では、負荷60が軽負荷の状態になると、補助出力トランジスタ17に流れる電流は小さくなる。オートスキップ回路80は、補助トランジスタ17のソースドレイン間の電圧を検出電圧 V_{LL} として検出し、その検出電圧 V_{LL} が高くなって所定電圧を超えると、スキップモードに対応した制御信号 V_{S0} を出力する。

【0054】このように、重負荷から軽負荷に移行する際の動作を、図3のタイミングチャートを参照しながら説明する。スキップコンパレータ81の非反転入力端子には、電圧生成回路73から限界基準電圧 V_{limit} が入

力され、他方、反転入力端子には、補助トランジスタ17が導通状態にあるときの検出電圧 V_{LL} が入力されており、スキップコンパレータ81は、限界基準電圧 V_{limit} と、検出電圧 V_{LL} とを比較し、検出電圧 V_{LL} が限界基準電圧 V_{limit} 以上になったら、スキップモードを示す比較検出信号を動作状態制御回路82に出力する。

【0055】動作状態制御回路82には、比較検出信号とともにPWM信号 V_{PWM} が入力されており、比較検出信号が出力されている期間、動作状態制御回路82は、PWM信号 V_{PWM} の周波数と同じ周波数のパルス信号 V_{ci} を生成し、シフトレジスタ84に出力する。最初のパルス信号 V_{ci} が出力された時刻を図3の時刻 t_{op} に示す。

【0056】シフトレジスタ84は、5段のフリップフロップ回路83₁～83₅で構成されており、このパルス信号 V_{ci} のパルス数をカウントする。このとき、連続してパルス信号 V_{ci} が出力されるごとにカウント数は増すが、連続して出力されなくなるとカウント数はリセットされ、その後パルス信号 V_{ci} が出力されると、最初からカウントが開始される。

【0057】かかるカウントをした結果、連続して出力されたパルス信号 V_{ci} が、カウンタ84を構成するフリップフロップ回路83₁～83₅の段数と同じ個数、すなわち5個だけカウントされたら、動作状態制御回路82はスキップモードを選択し、制御信号 V_{S0} を切換え、スキップモードに対応する制御信号 V_{S0} を誤差アンプ11、コンパレータ12及びヒステリシスコンパレータ21に出力する。その時刻を図3の時刻 t_{skip} に示す。

【0058】このように、制御信号 V_{S0} がスキップモードに対応する信号に切り換わることにより、誤差アンプ11及びコンパレータ12は非動作状態に切り替わるとともに、ヒステリシスコンパレータ21は動作状態に切り替わる。

【0059】電圧検出回路30から出力された出力電圧 V_{out} の分圧電圧は、上述したようにヒステリシスコンパレータ21の反転入力端子にも入力される。他方、ヒステリシスコンパレータ21の非反転入力端子には、基準電圧生成源33から基準電圧 V_{ref} が入力されており、ヒステリシスコンパレータ21で出力電圧 V_{out} の分圧電圧と、基準電圧 V_{ref} とが比較される。その結果、ヒステリシスコンパレータ21は、出力電圧 V_{out} の分圧電圧が基準電圧 V_{ref} よりも高いときには主トランジスタ15を非導通とするスキップ信号 V_{skip} を生成し、上記分圧電圧が基準電圧 V_{ref} よりも低いときには主トランジスタ15を導通とするスキップ信号 V_{skip} を生成して、論理回路13に出力する。

【0060】スキップモードでは、コンパレータ12は非動作状態にあるため、論理回路113はヒステリシスコンパレータ21から出力されたスキップ信号 V_{skip} をそのままドライバ20に出力する。

【0061】ドライバ20は、ハイ側バッファ14とロー側バッファ16とを有しており、そのそれぞれがスキップ信号 V_{skip} に応じて主トランジスタ15と補助トランジスタ17の各ゲート端子に電圧を印加し、各出力カトランジスタ15、17をスイッチングさせる。

【0062】補助トランジスタ17は、主トランジスタ15が導通状態の期間は、PWMモードと同様に常に遮断状態になっているが、PWMモードと異なり、主トランジスタ15が遮断状態になっている期間は常に導通状態になっているわけではない。

【0063】ロー側バッファ16はイネーブル端子71を有しており、このイネーブル端子71にはオートスキップ回路80から二値のイネーブル信号 V_{Sp} が出力されている。このイネーブル信号 V_{Sp} により、ロー側バッファ16は動作状態又は非動作状態のいずれか一方を選択して動作する。PWMモードではイネーブル信号 V_{Sp} は常時出力されており、ロー側バッファ16は常に動作状態にあるため、主トランジスタ15が非導通状態の期間は補助トランジスタ17は常に導通状態にあるが、スキップモードにおいては、補助トランジスタ17に対して、主トランジスタ15が非導通状態にある期間のうち、一部の期間(図3の T_{on})にイネーブル信号が出力される。その結果、補助トランジスタ17は、信号 V_{Sp} がローレベルの間は強制的に遮断状態にされ、信号 V_{Sp} がハイレベルの間は信号 V_{skip} に応じて遮断/導通の制御がなされる。

【0064】この場合には、チョークコイル41の両端子間に生じる起電力により、補助トランジスタ17の内部の寄生ダイオードが順バイアスされる。補助トランジスタ17には、この寄生ダイオードと並列にフライホイールダイオード36が接続されているので、寄生ダイオードには電流は流れず、フライホイールダイオード36に電流が流れることで、チョークコイル41のエネルギーが負荷60に供給される。このように、主トランジスタ15及び補助トランジスタ17が導通/遮断を繰り返す、その結果、出力電圧 V_{out} はほぼ一定値を保つ。

【0065】上述したスキップモードでは、ヒステリシスコンパレータ21を用いてスキップ信号 V_{skip} を生成し、そのスキップ信号 V_{skip} で主トランジスタ15を導通/遮断させているので、出力電圧 V_{out} が基準電圧 V_{ref} 以下に降下しない限り、主トランジスタ15を導通状態とするパルス信号が出力されないため、そのスイッチング周波数はPWMモードに比して小さくなる。このように、軽負荷時にスイッチング周波数が小さくなるスキップモードで動作させることにより、上述したスイッチングレギュレータ1は高効率になる。

【0066】こうしてスキップモードに切り替わった後も、オートスキップ回路80は補助トランジスタ17が導通状態にあるときの検出電圧 V_{LL} を検出しており、検出電圧 V_{LL} が所定電圧以下になり、再び軽負荷の状態か

ら重負荷の状態になったら、すぐに制御信号 V_{S0} を切り換えて、PWMモードに対応する制御信号 V_{S0} を出力し、ヒステリシスコンパレータ21を非動作状態にするとともに、誤差アンプ11及びコンパレータ12を動作状態にする。その結果、スイッチングレギュレータ1は、PWMモードで動作する。

【0067】以上説明したように、本実施形態のスイッチングレギュレータ1によれば、負荷が重負荷の状態から軽負荷の状態になっても、すぐにはPWMモードからスキップモードに切り替わらず、所定期間すなわちパルス信号 V_{ci} が連続して5個カウントされた後にスキップモードに切り替わり、スキップ信号 V_{skip} の周波数に応じて出力トランジスタ15、17をスイッチングさせている。

【0068】このため、出力電圧 V_{out} が不安定な場合や、瞬間的に負荷に流れる電流が変動することなどにより、軽負荷、重負荷の状態が短時間で交互に切り替わるような場合でも、軽負荷の状態が所定期間維持されるまでは、スキップ信号 V_{skip} を生成するヒステリシスコンパレータ21が動作しないので、従来生じていた、動作が頻繁に切り替わることで、スイッチングレギュレータの制御系全体が不安定になってしまい、発振してしまうという問題も生じなくなり、安定に動作する。

【0069】なお、本実施形態では、シフトレジスタ84を構成するフリップフロップの段数を5段にして、パルス信号 V_{ci} が連続して5個カウントされた後にスキッ

プモードに切り替わり、スキップ信号 V_{skip} を生成しているものとしたが、本発明はこれに限らず、例えばフリップフロップの段数を10段にして、パルス信号 V_{ci} が連続して10個カウントされた後にスキップモードに切り替わるように構成してもよい。更には、シフトレジスタ84に代えて、カウンタを用いる構成としてもよい。

【0070】

【発明の効果】負荷が重負荷から軽負荷になってもすぐに制御モードが切り替わらないので、スイッチングレギュレータの制御系全体が不安定にならずに、安定に動作することができる。

【図面の簡単な説明】

【図1】本発明のスイッチングレギュレータの一例を示す回路図

【図2】本発明の状態選択回路の構成を説明する回路図

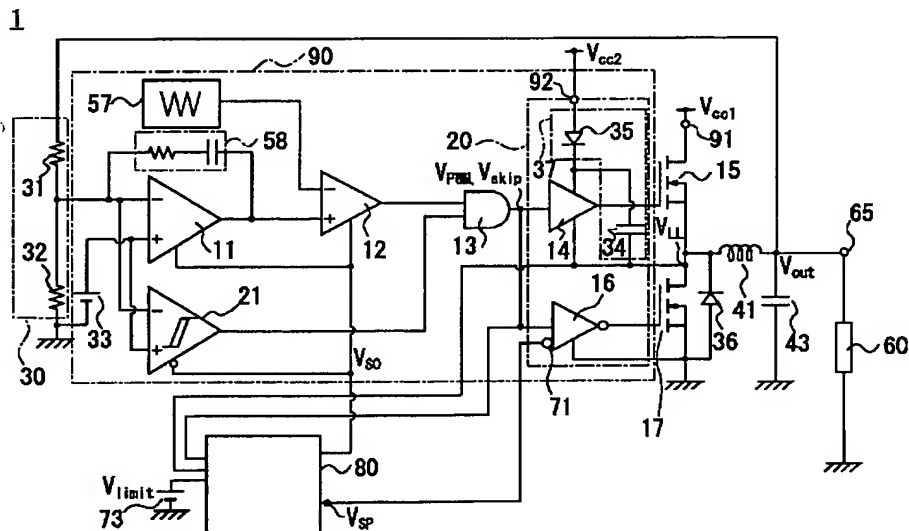
【図3】本発明のスイッチングレギュレータの、重負荷から軽負荷に切り替わる際の動作を説明するタイミングチャート

【図4】従来のスイッチングレギュレータを説明する回路図

【符号の説明】

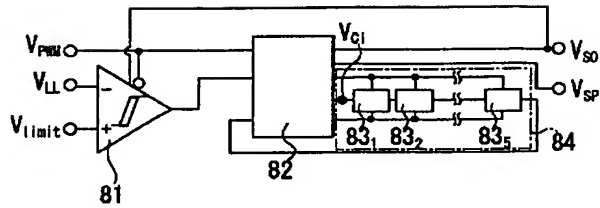
1……スイッチングレギュレータ	11……誤差アンプ
12……コンパレータ	15……主トランジスタ
17……補助トランジスタ	20……ドライバ(駆動回路)
30……検出回路	80……オートスキップ回路(状態選択回路)

【図1】

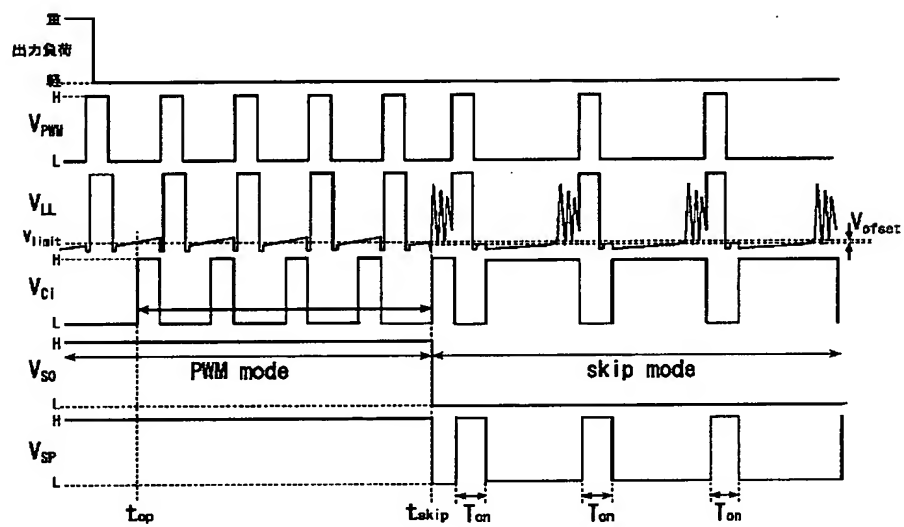


【図2】

80



【図3】



【図4】

101

